

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent Number: JP2162735
Publication date: 1990-06-22
Inventor(s): TAKAYAMA TAKEHIRO
Applicant(s):: FUJITSU LTD
Requested Patent: ☒ JP2162735
Application JP19880318821 19881215
Priority Number(s):
IPC Classification: H01L21/321 ; H01L21/60
EC Classification:
Equivalents:

Abstract

PURPOSE:To prevent the generation of cracks due to soldering by a method wherein an aperture, in which the rear of an electrode is exposed, is formed from the rear of a semiconductor substrate with electrodes formed on it including the above electrode, a second electrode is formed on the rear of the substrate including the rear of the exposed electrode, a film having no wettability to a brazing metal is provided on a part, which is located on the inner surface of a via hole, of the second electrode and the second electrode is soldered on a stem.

CONSTITUTION:The surface of a GaAs substrate 1 having an n-type active layer 2 formed in its surface part and having source electrodes 3A and 3B, a drain electrode 4 and gate electrodes 5a and 5b, which are formed on its surface, is covered with a resist film 51 and thereafter, an aperture 12A, in which the source electrode 3A is exposed, is formed in the rear of the substrate 1. Then, a gold plating is applied to the rear of the substrate 1 including the rear of the electrode 3A to form a rear electrode 13 and film which withstands a brazing temperature and does not have a wettability to a brazing metal, such as an Ni layer 15, is adhered to the electrode 13 and is made to remain only on the surface, which is located on the inner surface of the aperture 12A, of the electrode 13. Then, when the electrode 13 of this substrate 1 is soldered on a stem 6 applied with a gold plating or the like with a brazing metal 14, a cavity part 16 is formed in the interior of the aperture 12A. Accordingly, cracks to be caused in the thin part, which is located in the vicinity of the upper part of the aperture 12A, of the substrate 1 due to a stress, which is generated by soldering, are significantly reduced.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

平2-162735

⑮ Int. Cl.³H 01 L 21/321
21/60

識別記号

3 2 1 Z

庁内整理番号

6918-5F
6810-5F

⑬ 公開 平成2年(1990)6月22日

H 01 L 21/92 T
審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭63-318821

⑰ 出 願 昭63(1988)12月15日

⑱ 発 明 者 高 山 剛 弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 半導体基板と、

該半導体基板の表面上に形成された第1の電極と、

該半導体基板の該第1の電極下部に設けられ該第1の電極の裏面を表出する開孔と、

該開孔の内面及び該第1の電極の裏面を含む該半導体基板の裏面上に形成され金属材料に対して濡れ性を有する第2の電極と、

該開孔内の第2の電極面に選択的に形成された離付け温度に耐え且つ金属材料に対して濡れ性を持たない皮膜とを有し、

該半導体基板が導電性基体上に、該開孔内に空洞を残し該第2の電極の表面を介して離付けされてなることを特徴とする半導体装置。

(2) 半導体基板の表面に形成された電極を該基板

の該電極の下部に設けた開孔を介して該基板の裏面に導出し、該裏面に導出された電極面を介して該半導体基板が導電性基体に離付けされる半導体装置の製造方法において、

半導体基板の裏面から該半導体基板の表面に形成されている第1の電極の底面に達する開孔を形成する工程、

該開孔の内面及び該第1の電極の底面を含む該半導体基板の裏面に金属材料に対して濡れ性を有する導電材料からなる第2の電極を形成する工程、

該開孔内の第2の電極の表面に選択的に離付け温度に耐え且つ金属材料に対して濡れ性を持たない材料の皮膜を形成する工程、

該半導体基板を、該半導体基板裏面の第2の電極の表面を介し該開孔部に空洞を残した状態で導電性基体上に離付けする工程を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔概 要〕

半導体装置及びその製造方法、特に 化合物半導体を用いるバイアホール(Via-Hole)構造の高周波高出力半導体装置の構造及び製造方法に関し、

システム等への組付けに際し、半導体基板に発生するクラックを回避して素子性能の劣化を防止するバイアホール構造の提供を目的とし、

半導体基板と、該半導体基板の表面上に形成された第1の電極と、該半導体基板の該第1の電極下部に設けられ該第1の電極の裏面を表出する開孔と、該開孔の内面及び該第1の電極の裏面を含む該半導体基板の裏面上に形成された鍍材に対して濡れ性を有する第2の電極と、該開孔内の第2の電極面に選択的に形成された組付け温度に耐え且つ鍍材に対して濡れ性を持たない皮膜とを有し、該半導体基板が導電性基体上に、該開孔内に空洞を残し該第2の電極の表面を介して組付けして構成する半導体装置、又は半導体基板の裏面から該半導体基板の表面に形成されている第1の電極の底面に達する開孔を形成する工程、該開孔の内面

及び該第1の電極の底面を含む該半導体基板の裏面に組付け性を有する導電材料からなる第2の電極を形成する工程、該開孔内の第2の電極の表面に選択的に組付け温度に耐え且つ組付け性を持たない材料の皮膜を形成する工程、該半導体基板を、該半導体基板裏面の第2の電極の表面を介し該開孔部に空洞を残した状態で導電性基体上に組付けする工程を含み構成する。

〔産業上の利用分野〕

本発明は半導体装置及びその製造方法、特に 化合物半導体を用いるバイアホール(Via-Hole)構造の高周波、高出力半導体装置の構造及び製造方法に関する。

第3図は化合物半導体例えばGaAsを用いる高周波、高出力ドラッグスクリューの当初の構造を示す模式平面図で、1はGaAs基板(チップ)、2は例えばn型の能動層、3A、3Bはソース電極、4はドレイン電極、5はゲート電極、6は金属ステム、7A、7Bはステムに植設されたスタッド、8は絶縁リン

グ、9、10はステムリード、11はボンディング・ワイヤを示す。

この図のように当初の高周波、高出力トランジスタにおいては、小信号トランジスタと同様に、ボンディング・ワイヤ11によってステムに植設されたスタッド7A、7Bと接続することによってソース電極3A、3Bに接地電位が与えられていた。

しかしこの構造では、ボンディング・ワイヤ11のインダクタンスによる高周波損失が大きく、充分な高周波出力が得られなかった。

そこで、基板の背面からソース電極の裏面を表出する開孔を形成し、この開孔内にソース電極の裏面から基板の背面に金属めっき層等による背面電極を導出し、この背面電極をステムに組付けすることによってソース電極に低い高周波抵抗で接地電位を接続できるバイアホール(Via-Hole)構造が提供されているが、さらにGaAs等を用いたマイクロウェーブ・アナログIC等においては、回路配線の浮遊容量を減少させて高周波・高帯域化を図るために GaAs基板を厚くすることが要求されて

おり、前記バイアホール構造を厚い半導体基板に対して歩留り良く適用できる技術の開発が望まれている。

〔従来の技術〕

第4図(a)～(c)は従来のバイアホール構造の例えばGaAs FETの製造方法を要部について模式的に示した工程断面図である。

第4図(a)参照

即ち従来の方法においては、通常のGaAs FETの製造方法に従って、表面部に図示しないn型能動層が形成され、表面上に金・ゲルマニウム(AuGe)よりなるソース電極3A及び図示されない他のソース電極と、ドレイン電極、アルミニウム(Al)等からなる図示されないゲート電極が形成されてなるGaAs基板1の表面上をレジスト膜51で覆った後、反転してこの基板の背面上にフォトリソプロセスによってソース電極3の下部領域にエッチング用開孔52を有するレジストパターン53を形成し、このレジストパターン53をマスクにし硝酸系の液によ

る等方性のウェットエッチングを行い、このGaAs基板1の背面にソース電極3Aの裏面を表出する開孔12Aを形成する。

第 4 圖(b)参照

次いで、レジストパターン53を剝離除去した後、下地の蒸着手段を含む電気めっき法により、前記開孔12Aの内面及び開孔12A内に表出しているソース電極3Aの裏面を含むGaAs基板1の背面に、厚さ30 μ m程度の金(Au)めっき層からなる背面電極13を形成する。

第 4 圖(c) 参照

そして、このGaAs基板1を上記背面電極13を介しAuめっき等の施されたステム6上に金・錫(AuSn)等の融材14により融付けする方法により、ソース電極3と接地電位が付与されるステム6との接続がなされていた。

〔発明が解決しようとする課題〕

しかし上記従来の方法によると、前記マイクロウェーブ・アナログIC等において回路配線の浮遊

面上に形成された第1の電極と、該半導体基板の該第1の電極下部に設けられ該第1の電極の裏面を表出する開孔と、該開孔の内面及び該第1の電極の裏面を含む該半導体基板の裏面上に形成された金属材料に対して濡れ性を有する第2の電極と、該開孔内の第2の電極面に選択的に形成され鍍付け温度に耐え且つ金属材料に対して濡れ性を持たない皮膜とを有し、該半導体基板が導電性基体上に、該開孔内に空洞を残し該第2の電極の表面を介して鍍付けされてなる本発明による半導体装置、又は、半導体基板の表面に形成された電極を該基板の該電極の下部に設けた開孔を介して該基板の裏面に導出し、該裏面に導出された電極面を介して該半導体基板が導電性基体に鍍付けされる半導体装置の製造方法において、半導体基板の裏面から該半導体基板の表面に形成されている第1の電極の底面に達する開孔を形成する工程、該開孔の内面及び該第1の電極の底面を含む該半導体基板の裏面に金属材料に対して濡れ性を有する導電材料からなる第2の電極を形成する工程、該開孔内の第2の電

容量を減少するためにGaAs基板を75~100 μm 程度に厚くした際には、ソース電極3の下部に形成される開孔(Via-Hole)12Aの開口径が150~200 μm 程度に大きくなるために、組付けの際に組材14が多量に開孔12A内に埋め込まれ、この組材が冷却する際、熱膨張率の違いによってGaAs基板1に対して引張応力54を及ぼし、この応力によって第4図(c)に示すように、基板の厚みが薄くなっている開孔12の底部近傍領域にクラック55を生じてこのマイクロウェーブ・アナログIC等の半導体装置の性能が損なわれ、その製造歩留りが低下するという問題があった。

そこで本発明は、バイアホール構造の半導体素子を有する半導体基板（チップ）のステム等への端付けに際し、半導体基板に発生するクラックを回避して素子性能の劣化を防止するバイアホール構造の提供を目的とする。

(課題を解決するための手段)

上記課題は、半導体基板と、該半導体基板の表

極の表面に選択的に鋳付け温度に耐え且つ細材に対して濡れ性を持たない材料の皮膜を形成する工程、該半導体基板を、該半導体基板裏面の第2の電極の表面を介し該開孔部に空洞を残した状態で導電性基体上に鋳付けする工程を含む本発明による半導体装置の製造方法により解決される。

〔作用〕

即ち本発明においては、バイアホール構造の半導体装置において、半導体基板のその表面に形成された第1の電極の下部領域に、該半導体基板の背面から第1の電極の裏面を表出する開孔を形成し、この開孔の内面及び開孔内に表出する第1の電極の裏面を含む半導体基板の背面に第2の電極を形成し、この第2の電極を接地電位が印加されるシステムに接続することによって第1の電極の接地インピーダンスを減少させて高周波出力の向上を図るバイアホール構造の半導体装置において、第2の電極のバイアホール内面部に選択的に金属材料に対して濡れ性を持たない皮膜を設けてバイア

ホール内面が蝕付けされないようにし、これによって半導体基板をステムに蝕付けした際にバイアホール内に空洞を残留せしめ、この空洞によって蝕付け後、蝕材の収縮によって半導体基板のバイアホール上部近傍に及ぼされる応力を減少せしめてその部分にクラックが発生するのを防止し、これによってバイアホール構造の半導体装置の製造歩留りを向上せしめる。

(実施例)

以下本発明を、図示実施例により具体的に説明する。

第1図は本発明の構造の一実施例の模式図で、(a)は平面図、(b)はA-A矢視断面図、

第2図(a)~(d)は本発明の方法の一実施例の工程断面図である。

全図を通じ同一対象物は同一符号で示す。

本発明に係る構造を有するバイアホール型GaAs FETの一実施例を示す第1図(a)及び(b)において、1は半絶縁性GaAs基板1Aとn型能動層2を含む

大した際にも、その内面に配設した蝕材に対する濡れ性を持たない皮膜例えばNi層15によって阻止されて、該開孔(バイアホール)12A、12B内に空洞部16が形成される。従って蝕付け後の冷却時に蝕材の収縮によって生ずる応力が開孔(バイアホール)12A、12Bの上部近傍の基板1の薄い部分に直接負荷されることがなくなるので、この部分に発生する基板クラックは大幅に減少し、製造歩留りが向上する。

次に上記本発明に係る構造の半導体装置を形成する際の製造方法を、同じくGaAs FETにおける一実施例について、その要部を示す工程断面図第2図(a)~(d)を参照して具体的に説明する。

第2図(a)参照

即ち本発明の方法においては、従来と同様に通常のGaAs FETの製造方法に従って、表面部に図示しないn型能動層(第1図参照)が形成され、表面上に金・ゲルマニウム(AuGe)よりなるソース電極3A及び図示されないソース電極3B、ドレイン電極、ゲート電極(第1図参照)が形成されてなる

厚さ75~100 μ m程度のGaAs基板、3A及び3BはAuGeよりなるソース電極、4はAuGeよりなるドレイン電極、5、5a、5bはAlよりなるゲート電極、6はAuめっき等がなされた金属ステム、8は絶縁リング、9、10はステムリード、11はボンディング・ワイヤ、12A及び12Bはソース電極下部の基板背面から形成されソース電極3A、3Bの底面をそれぞれ裏出する開孔(開口径150~200 μ m程度)、13は下地蒸着層を含む厚さ30 μ m程度のAuめっき層よりなり開孔12A、12B内でソース電極3A、3Bの裏面に接する背面電極、14はAuSnよりなる蝕材、15は使用する蝕材に対して濡れ性を持たない金属層例えばニッケル(Ni)層(厚さ2~3 μ m程度)、16は蝕付けに際して形成された空洞部を示す。

この図のように、本発明に係るバイアホール構造のGaAs FETにおいては、GaAs基板1におけるソース電極3A、3Bの下部に形成される導電膜を有する開孔12A、12B即ちバイアホール内への蝕材の侵入が、その開口径が150~200 μ m程度に狭

GaAs基板1の表面上をレジスト膜51で覆った後、反転してこの基板の背面上にフォトリソプロセスによってソース電極3の下部領域にエッチング用開孔52を有するレジストパターン53を形成し、このレジストパターン53をマスクにし燐酸系の液による等方性のウェットエッチングを行い、このGaAs基板1の背面にソース電極3の裏面を裏出する開孔12Aを形成する。以上は従来と同様である。

第2図(b)参照

次いで、レジストパターン53を剝離除去した後、下地の蒸着手段を含む電気めっき法により、前記開孔12Aの内面及び開孔12A内に裏出しているソース電極3の裏面を含むGaAs基板1の背面に厚さ30 μ m程度の金(Au)めっき層からなる背面電極13を形成する。この工程も従来と同じである。

第2図(c)参照

次いで本発明の方法においては、例えば電気めっき法により背面電極13上に、蝕付け温度に耐え且つ蝕材に対する濡れ性を持たない皮膜例えば厚さ2~3 μ m程度のNi層15を被着し、通常の

フォトリソグラフィ技術により前記開孔12A 内面の背面電極13裏面のみに選択的にNi層15を残留形成せしめる。

第2図(d)参照

次いで、このGaAs基板1を上記背面電極13を介しAuめっき等の施されたステムG上にAuSn等の金属材料14により鍍付けしソース電極3と接地電位が付与されるステムGとの接続を行う。この際、開孔12Aの内面に位置する背面電極13の表面には金属材料に対して濡れ性を持たないNi層15層が選択的に形成されているので、基板1が厚くなって開孔12Aの開口径が75〜100 μm 以上に拡大した際にも、該開孔12A内への金属材料14の侵入は生ぜず、従って開孔12Aの内部に図示のように空洞部16が形成される。

次いで、ドレイン電極4とステムリード9及びゲート電極5とステムリード10とのボンディング・ワイヤ11による接続がそれぞれなされ、図示しないケーシングがなされて、本発明に係るバイアホール構造のGaAs PBTが完成する。

も、チップ付けに用いた金属材料による応力によって半導体基板に発生するクラックは防止される。

従って本発明は、厚い半導体基板を用いて回路インピーダンス低減を図る化合物半導体によるマイクロウェーブ・アナログIC等の、製造歩留りの向上に特に有効である。

4. 図面の簡単な説明

第1図は本発明に係る構造の一実施例の模式図で、(a)は平面図、(b)はA-A矢視断面図、

第2図(a)〜(d)は本発明に係る方法の一実施例の工程断面図、

第3図は当初のGaAs高周波高出力トランジスタの模式平面図、

第4図(a)〜(c)は従来方法の工程断面図である。

図において、

- 1 はGaAs基板、
- 2 はn型能動層、

この実施例から明らかなように、本発明の方法によれば、前述のように基板に発生するクラックを防止して製造歩留りの向上が図れる本発明に係るバイアホール構造の半導体装置を、容易に形成することができる。

なお、本発明においてバイアホール内への金属材料の侵入を阻止するために用いる鍍付け温度に耐え、且つ金属材料に対する濡れ性を持たない皮膜は、二酸化シリコン(SiO_2)等の絶縁膜でもよいが、高周波抵抗をより減少せしめるためには金属層であることが望ましい。また金属層は前記Ni層に限られるものではない。

また、本発明はGaAs半導体に限られるものではなく他の半導体を用いる半導体装置にも適用される。

(発明の効果)

以上説明のように、本発明によればバイアホール構造の半導体装置において半導体基板の厚さが厚くなってバイアホールの開口径が拡大した際に

3A、3Bはソース電極、

4 はドレイン電極、

5、5a、5bはゲート電極、

6 は金属ステム、

8 は絶縁リング、

9、10はステムリード、

11はボンディング・ワイヤ、

12A、12B は開孔、

13は背面電極、

14は金属材料、

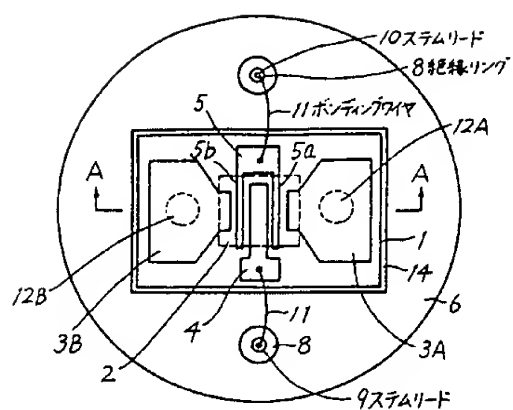
15はNi層、

16は空洞部

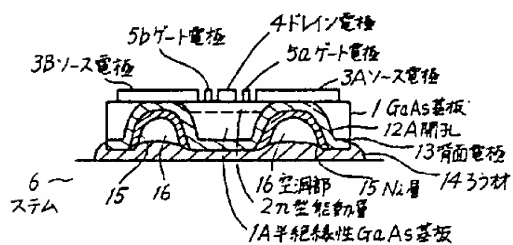
を示す。

代理人 弁理士 井桁真一



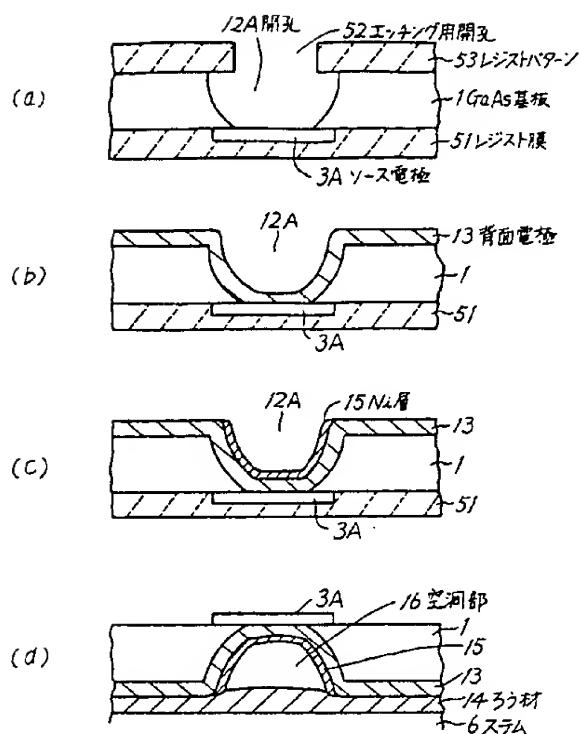


(a) 平面图



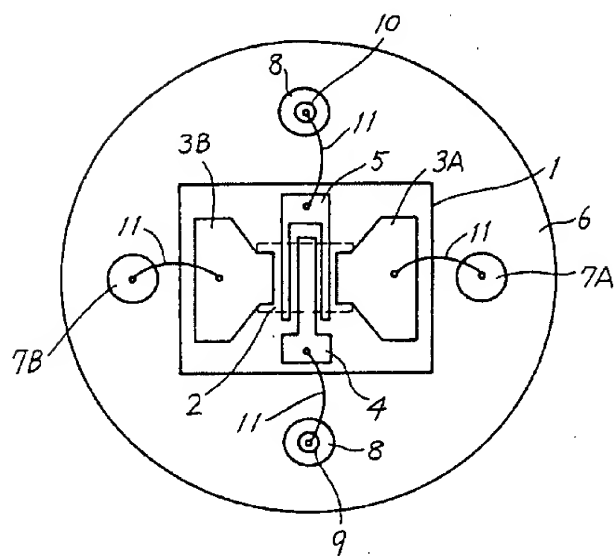
(b) A-A 矢視断面図

本発明の構造に係る一実施例の模式図
第 1 図



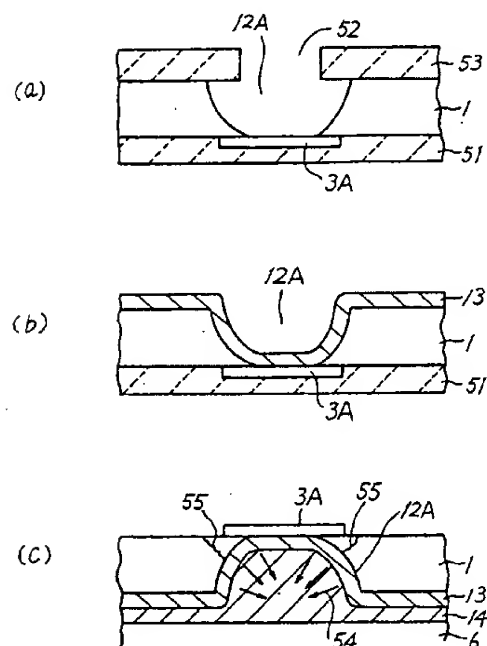
本発明に係る方法の一実施例の工程断面図

第 2 题



当初のGaAs高周波高出カトランジスタの模式平面図

第 3 页



従来方法の工程断面図

第 4 回